

# Hardware Dinámicamente Reconfigurable

Julio Septién del Castillo

Hortensia Mecha López

Curso 3er Ciclo Abril 2003

Departamento de Arquitectura de Computadores y Automática

Universidad Complutense de Madrid

1

## Temario

- Tema 1. Introducción al Hw reconfigurable
- Tema 2. Arquitecturas comerciales de Hw dinámicamente reconfigurable
- Tema 3. Arquitecturas académicas
- Tema 4. Arquitecturas grano grueso
- Tema 5. Problemas de gestión de recursos hw dinámicamente reconfigurables
- Sesiones prácticas
- Presentación de trabajos

2

# Tema 1. Introducción al Hw reconfigurable

- **1.- Características generales del hw reconfigurable**
  - Tecnologías de configuración
  - Niveles de acoplamiento
  - Granularidad
- **2.- Arquitectura del hw reconfigurable**
  - Interconexionado
  - Bloques lógicos básicos
  - Bloques de E/S
  - Memoria
- **3.- Reconfiguración dinámica**
  - Modelos reconfigurables
  - Compilación y planificación
  - Mecanismos de aceleración de la configuración

3

# Tema 2. Arquitecturas comerciales de Hw dinámicamente reconfigurable

1. Arquitecturas de Xilinx
  - 6200
  - Virtex
  - Virtex II
2. Arquitecturas de Altera
  - Flex 10K
3. Método de configuración de las Virtex
4. Diseño con Virtex II
  - Compresión
  - Cifrado
  - Circuitos adicionales de configuración
5. Herramientas para reconfiguración dinámica

4

# Características generales del hardware reconfigurable

## Diseño Hardware

- Rapidez
- Difícil modificación
- Caro

## Diseño Software

- Más lento
- Fácilmente modificable
- Barato

## Hardware reconfigurable

- Velocidades comparables a los ASICs
- Funcionalidad determinada por bits de configuración y modificable
- Gran tirada de CI iguales ⇒ Más barato que ASICs

5

# Características generales del hardware reconfigurable

## Sistema reconfigurable

### Microprocesador

- Control dependiente de datos
- Accesos a memoria

### Hardware reconfigurable

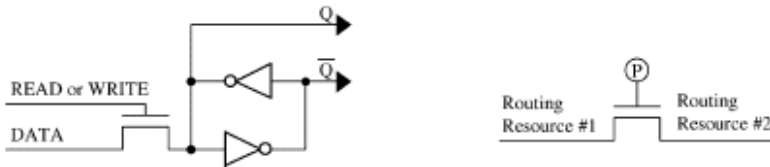
- Procesamiento de datos
- Partes del circuito paralelizables

6

# Características generales del hardware reconfigurable

## Hardware reconfigurable

- Circuitos integrados ya fabricados cuya funcionalidad puede determinarse mediante la configuración de una serie de puntos de control
- La configuración del circuito induce una penalización en el tiempo de ejecución (es del orden de milisegundos)



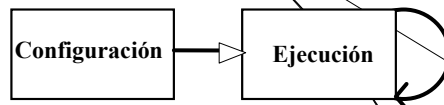
Bit de configuración de las SRAM-based FPGAs de Xilinx y conexión programable

# Características generales del hardware reconfigurable

## Modelos de configuración

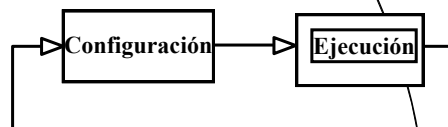
1.- Al arrancar: configuración estática

Las posibilidades de aceleración están limitadas por la capacidad de los CI programables



2.- Durante la ejecución de un programa: RTR (Run Time Reconfiguration) o reconfiguración dinámica

Se incrementa la capacidad de aceleración ya que se pueden cargar varias configuraciones durante la ejecución de un programa



El tiempo en cargar una configuración se convierte en una limitación de la posible aceleración del sistema reconfigurable

# Características generales del hardware reconfigurable

## ● Tecnologías de configuración

El área de la FPGA está dominada por el área de los elementos de configuración, y por tanto la tecnología utilizada afecta enormemente al área de la FPGA.

Existen 3 tecnologías de configuración:

- 1.- Mediante memoria volátil estática (SRAM)
- 2.- Mediante antifusibles
- 3.- Mediante EPROM. EEPROM, FLASH

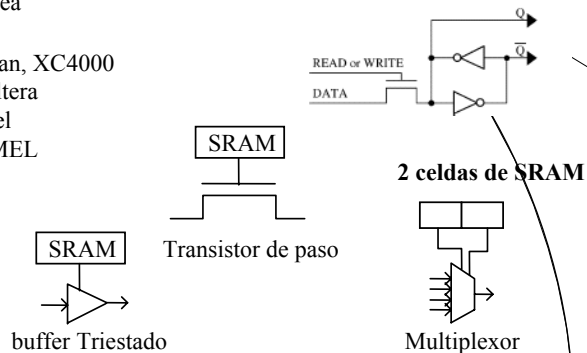
9

# Características generales del hardware reconfigurable

## 1.- Mediante memoria volátil estática (SRAM)

- Se puede programar un n° ilimitado de veces
- Es volátil
- Ocupa mucho área

- Ej. Virtex, Spartan, XC4000  
Flex 8K, 10K Altera  
Varicore de Actel  
AT6000 de ATMEL

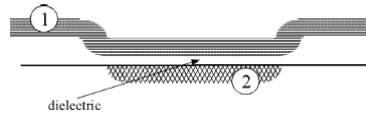


10

## Características generales del hardware reconfigurable

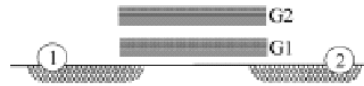
### 2.- Mediante antifusibles.

- Se programan con un alto voltaje una sola vez
- Ocupa poco área
- Es no volátil
- Ej. AXcelerator exFamily de Actel



### 3.- Mediante EPROM, EEPROM, FLASH

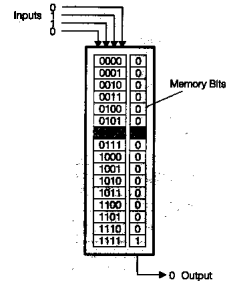
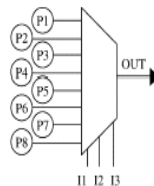
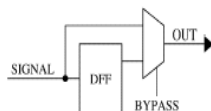
- Se programan con un alto voltaje
  - Se pueden borrar mediante
    - 1.- Luz ultravioleta EPROM
    - 2.- Eléctricamente EEPROM, FLASH
- La reprogramación es más compleja que en las RAM
- Ej. ProASIC de Actel



11

## Características generales del hardware reconfigurable

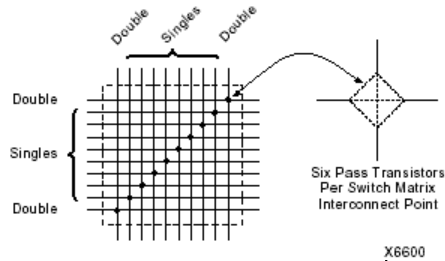
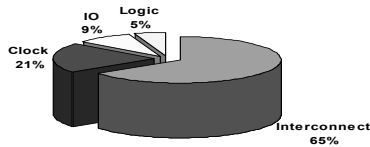
- Los elementos de control o configuración sirven para:
  - Controlar los multiplexores
  - Implementar LUTs (Look Up Table)
  - Configurar el interconexionado



12

# Características generales del hardware reconfigurable

Las estructuras de interconexión son las más costosas porque deben asegurar un 100% de rutado

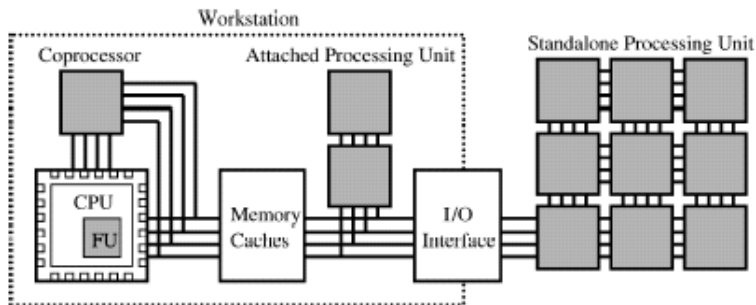


Análisis de consumo de potencia en una XC4003 FPGA

# Características generales del hardware reconfigurable

- Niveles de acoplamiento

Acoplamiento es el grado de integración entre el HW reconfigurable y la CPU



Los sistemas menos acoplados permiten más paralelismo en la ejecución de un programa, pero sufren un alto grado de overhead en las comunicaciones

## Características generales del hardware reconfigurable

- Granularidad

- La complejidad de los bloques configurables varía mucho de unos sistemas a otros y es lo que determina la granularidad.
- Cuanto más fina sea la granularidad más elementos de configuración existen y más tiempo se necesita para reconfigurar el dispositivo.
- Se pueden distinguir varios tipos:
  1. Grano muy fino
  2. Grano medio
  3. Grano grueso
  4. Grano muy grueso
  - 5.- Sistemas heterogéneos

15

## Características generales del hardware reconfigurable

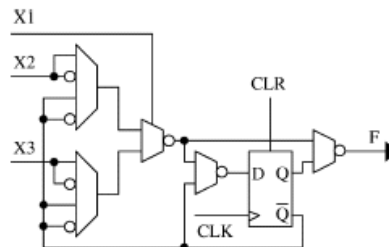
### 1.- Grano muy fino

El bloque funcional puede implementar funciones de 2 -4 entradas

Ej. Xilinx 6200, Flex 10k

No es eficiente en circuitos orientados a data-path

La granularidad de la FPGA tiene un gran efecto sobre el tiempo de reconfiguración, sobre todo en reconfiguración dinámica

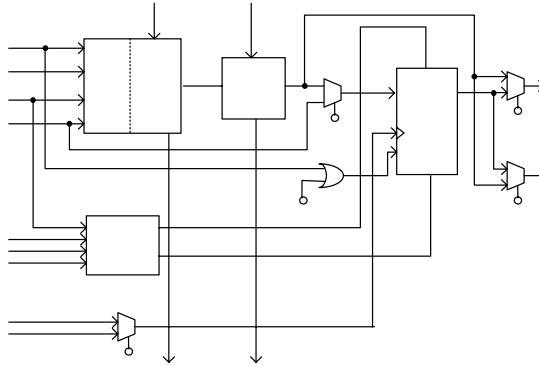


Bloque básico Xilinx 6200

16



## Características generales del hardware reconfigurable



Elemento configurable de la FLEX 10K

17

## Características generales del hardware reconfigurable

### 2.- Grano medio

Los bloques de configuración básicos son algo más complejos (ej. ALUs de 4 bit)

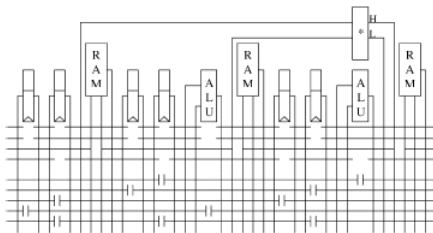
Ej. GARP, los multiplicadores de las virtex II

Este tipo de lógica puede utilizarse para implementar data-path de anchura variable

### 3.- Grano grueso

Orientadas a la implementación de data-path tamaño palabra o múltiplos

Ej. RaPiD-I, Chameleon



Ej. RaPiD-I  
Registros, RAM y  
multiplicadores operan  
sobre valores de 16 bits

18

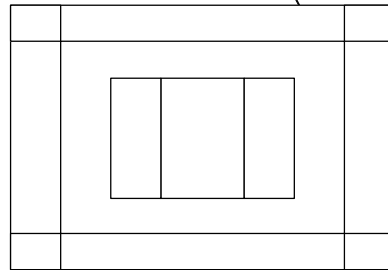
## Características generales del hardware reconfigurable

### 4.- Grano muy grueso

Se refiere a sistemas donde los bloques lógicos son realmente pequeños procesadores cada uno con su propia memoria de instrucciones y/o datos  
ej. REMARC consta de un array de 8\*8 procesadores de 16 bits

### 5.- Sistemas heterogéneos

Las capacidades de las celdas no son iguales en todo el sistema  
ej. Chameleon, Virtex I y II

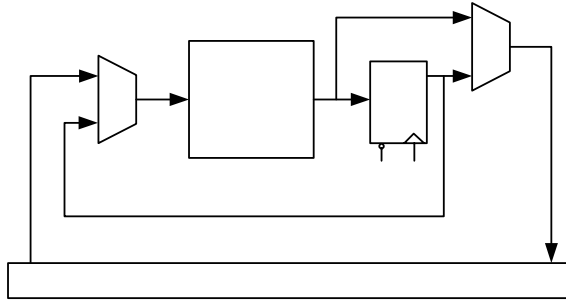


## Tema 1. Introducción al Hw reconfigurable

- 1.- Características generales del hw reconfigurable
  - Tecnologías de configuración
  - Niveles de acoplamiento
  - Granularidad
- 2.- Arquitectura del hw reconfigurable
  - Interconexionado
  - Bloques lógicos básicos
  - Bloques de E/S
  - Memoria
- 3.- Reconfiguración dinámica
  - Modelos reconfigurables
  - Compilación y planificación
  - Mecanismos de aceleración de la configuración

# Arquitectura del hw reconfigurable

Esquema general de una FPGA

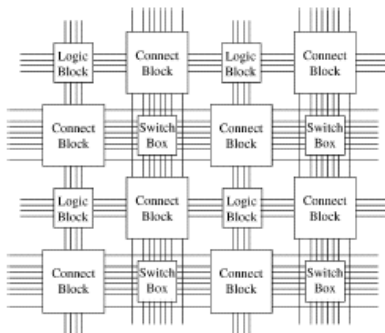


21

# Arquitectura del hw reconfigurable

## Interconexionado

El tipo de arquitectura que más se utiliza es la tipo isla



Estilo isla (Xilinx)

Dentro de la arquitectura tipo isla existen a su vez distintas variaciones:

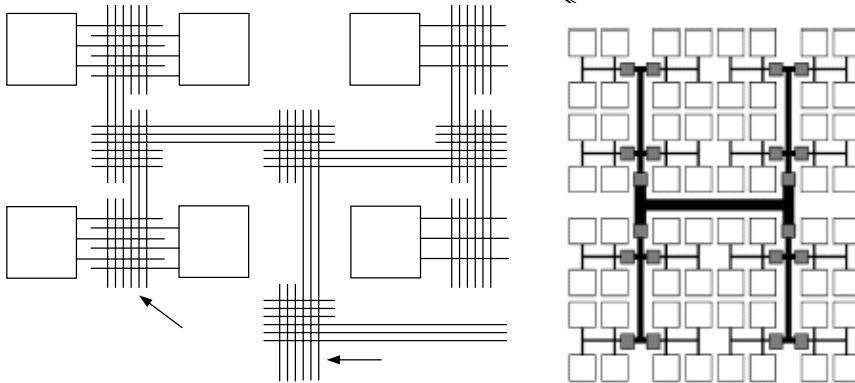
1.- La arquitectura segmentada: los cables cortos realizan comunicaciones locales y se utilizan conmutadores para emular cables más largos

2.- La arquitectura jerárquica: donde el interconexionado de cada grupo jerárquico es local a dicho grupo (XC6200).

En ambos casos, los switchboxes añaden retardos

22

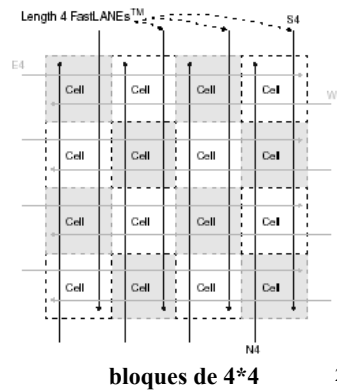
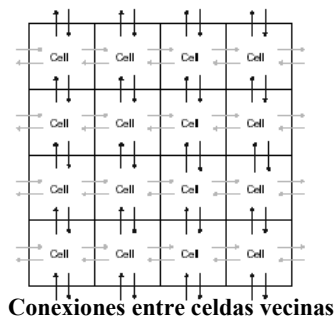
# Arquitectura del hw reconfigurable



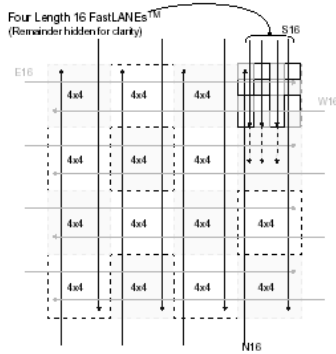
En la arquitectura jerárquica las conexiones deben ser principalmente locales y sólo una cantidad limitada de comunicaciones atraviesa largas distancias

# Arquitectura del hw reconfigurable

Estructura del interconexión jerárquico en la XC6200.

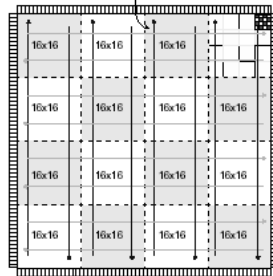


# Arquitectura del hw reconfigurable



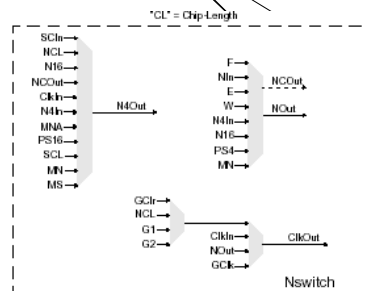
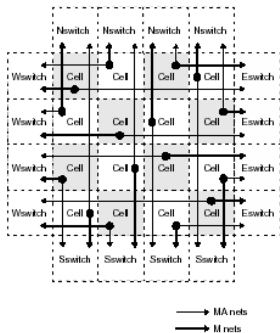
bloques de 16\*16

Each Arrow = 16 Chip-Length FastLANEs™ (Only 1 shown for clarity)



IOBs

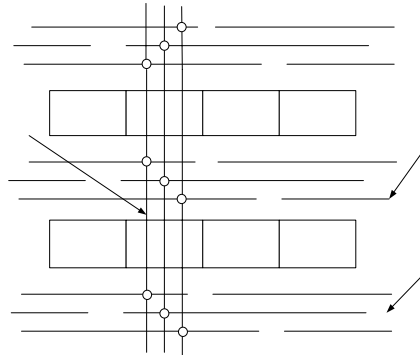
# Arquitectura del hw reconfigurable



Switches para interconexión en los alrededores del bloque de 4\*4

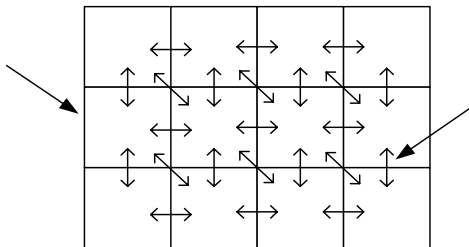
# Arquitectura del hw reconfigurable

Existe también la arquitectura de interconexión orientada a filas, donde los elementos configurables se disponen en filas de celdas (ej Actel ACT3). Existen conexiones verticales que permiten conectar unas filas con otras.



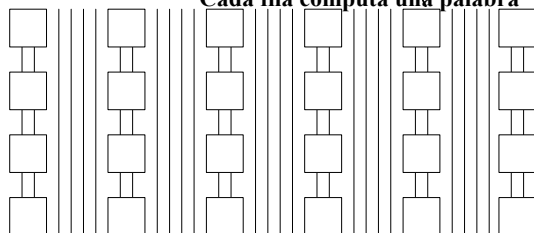
27

# Arquitectura del hw reconfigurable



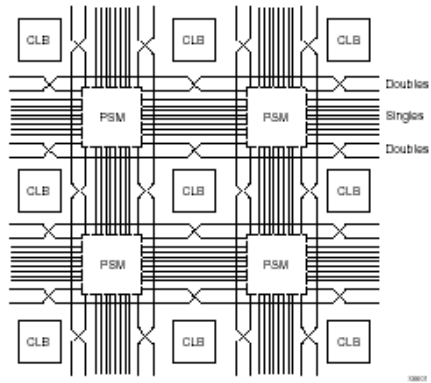
Otras arquitecturas orientadas a mar de celdas (Actel SX) realizan conexiones locales, y para las conexiones más largas se utilizan los propios elementos lógicos

En las Arquitecturas unidimensionales la colocación e interconexión se realiza sólo en una dirección. El interconexiónado en la otra dirección es sólo para desplazamientos  
Ej. GARP, Chimaera, NAPA



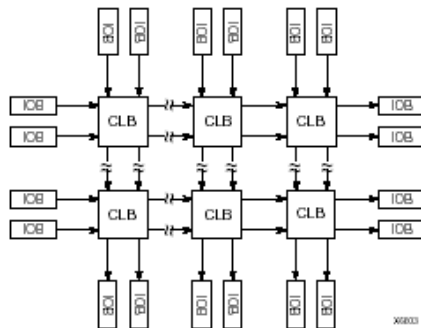
Cada fila computa una palabra

# Arquitectura del hw reconfigurable



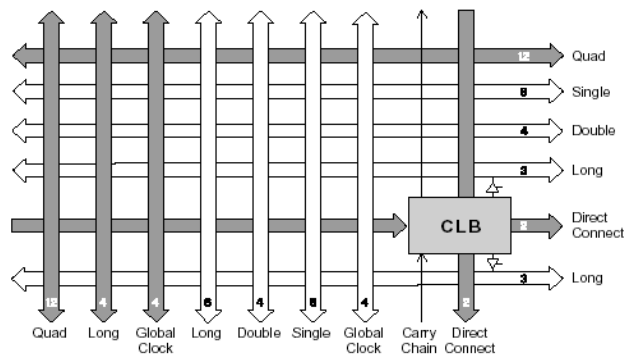
Interconexión en la XC4000.

# Arquitectura del hw reconfigurable



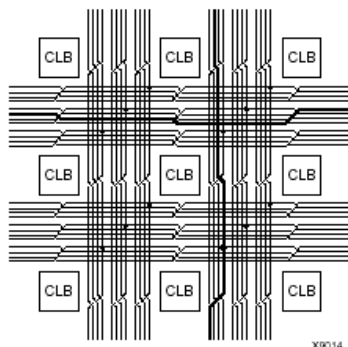
Conexiones directas de la XC4000

# Arquitectura del hw reconfigurable



Las líneas globales suelen usarse para relojes y reset.

# Arquitectura del hw reconfigurable



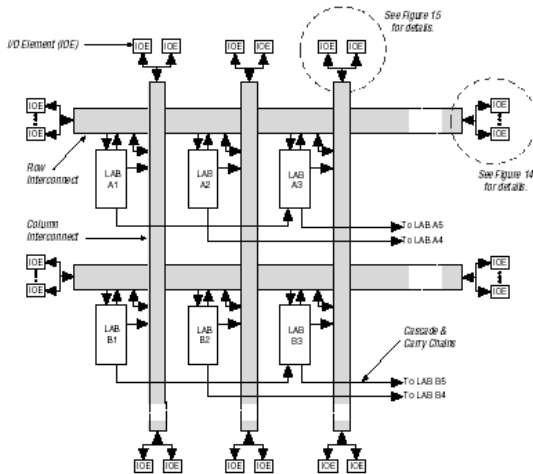
Conexiones Quad en la XC4000



# Arquitectura del hw reconfigurable

Interconexión en la Flex10K

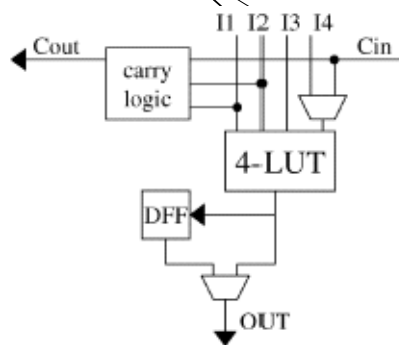
Nº de filas 3-20  
 Nº canales/fila 144-456  
 Nº columnas 24-76  
 Nº canales/columna 24-40



# Arquitectura del hw reconfigurable

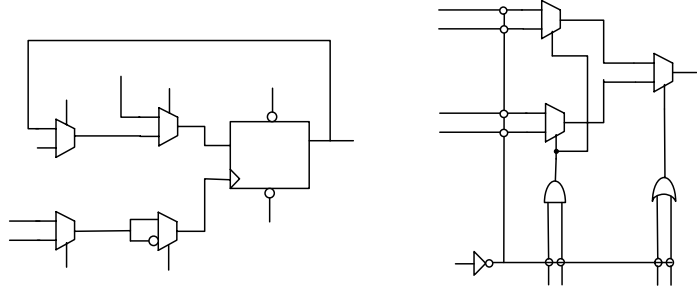
## Bloques básico

- Estudios realizados sobre la estructura de los bloques básicos muestran que el mejor número de entradas está entre 3 y 4
- Varía en complejidad desde una LUT de 3 entradas a una ALU de 4 bits



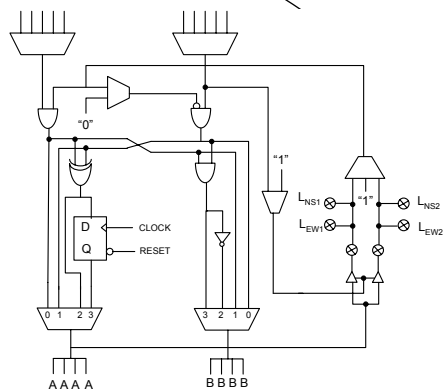
- En las FPGAs más usuales el área de la lógica configurable es menos del 10% del área total

## Arquitectura del hw reconfigurable



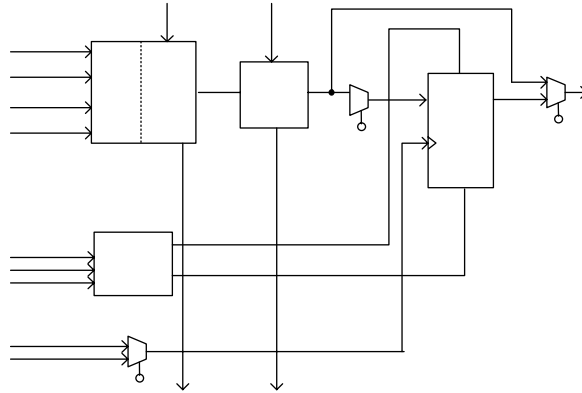
Las dos celdas básicas de la familia ex de Actel (a) R-Cell, and (b) C-Cell

## Arquitectura del hw reconfigurable



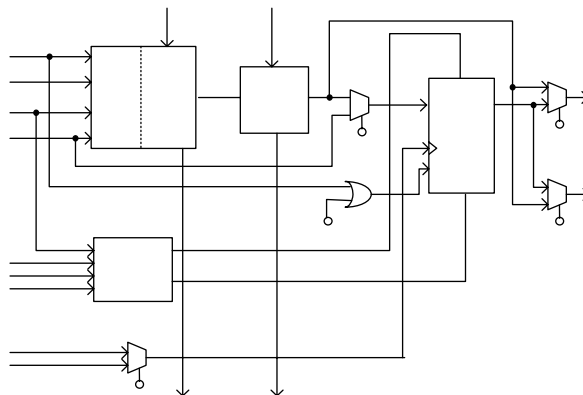
Estructura de la celda AT6000 (Atmel)

# Arquitectura del hw reconfigurable



Elemento Lógico de la Flex 6000

# Arquitectura del hw reconfigurable



Elemento Lógico de la Flex 10k

dat  
dat  
dat  
dat

# Arquitectura del hw reconfigurable

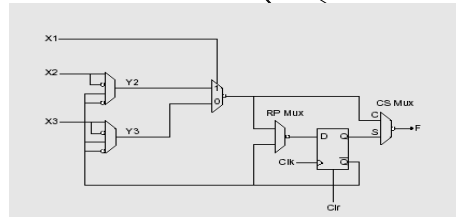
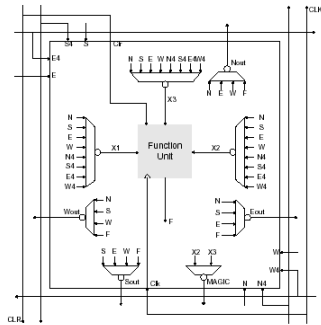


Diagrama del bloque configurable de la Serie XC6200

# Arquitectura del hw reconfigurable

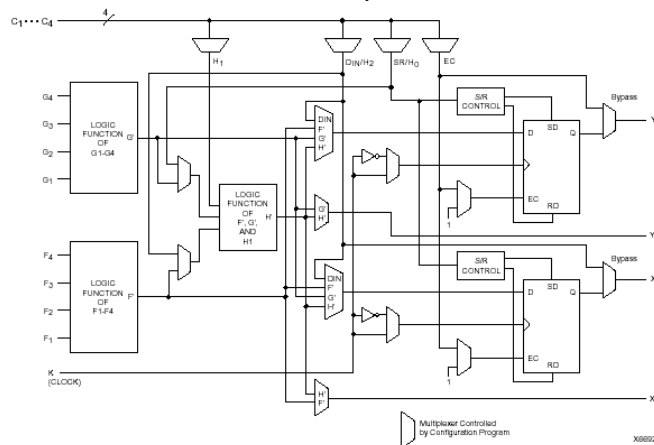


Diagrama del bloque configurable de la Serie XC4000 /Spartan XL

## Arquitectura del hw reconfigurable

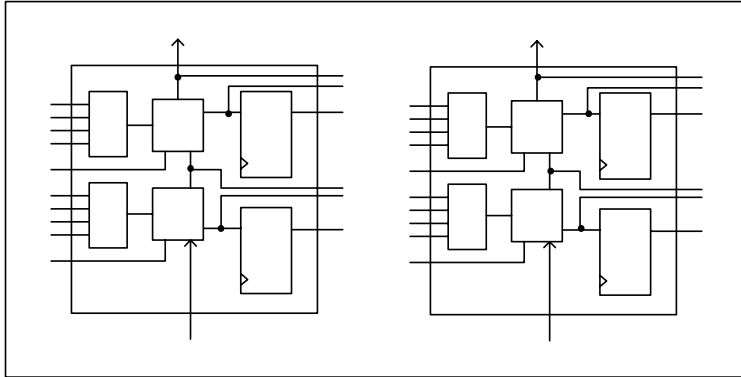
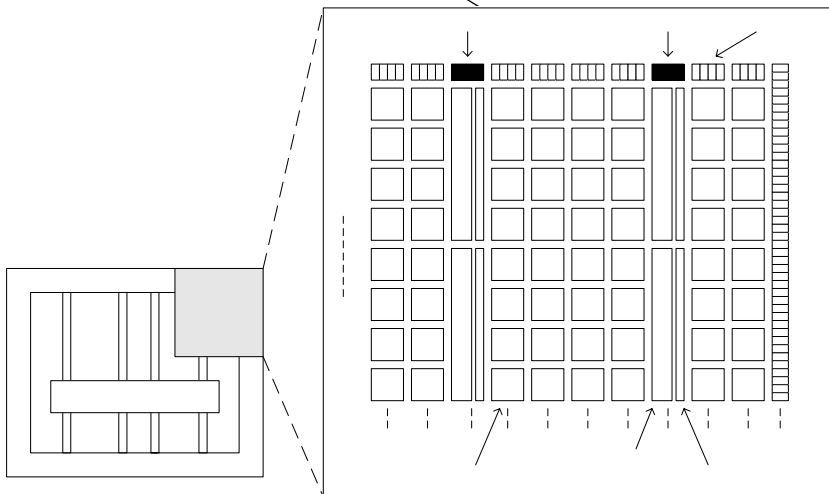


Diagrama de los 2 slices que forman un bloque configurable en las Spartan-II/Virtex

41

## Arquitectura del hw reconfigurable



Arquitectura de la Virtex II

42

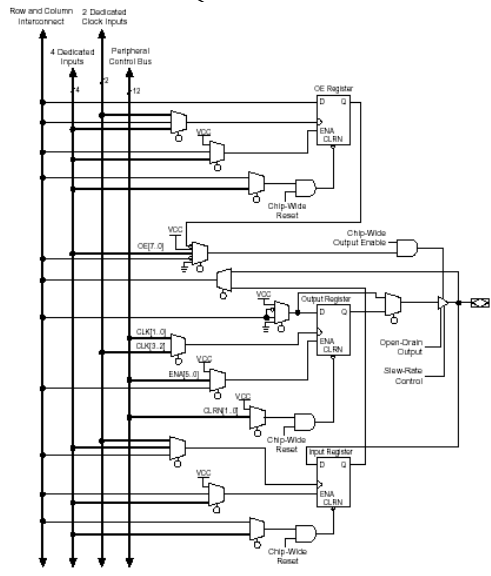
G4  
G3  
G2  
G1

BY



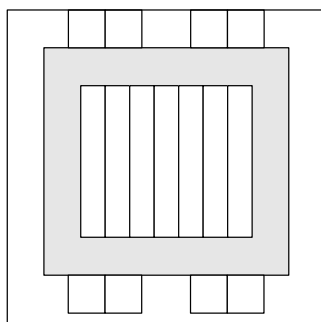
# Arquitectura del hw reconfigurable

Diagrama de bloques de la celda de E/S de la Flex 10K



# Arquitectura del hw reconfigurable

- Memorias



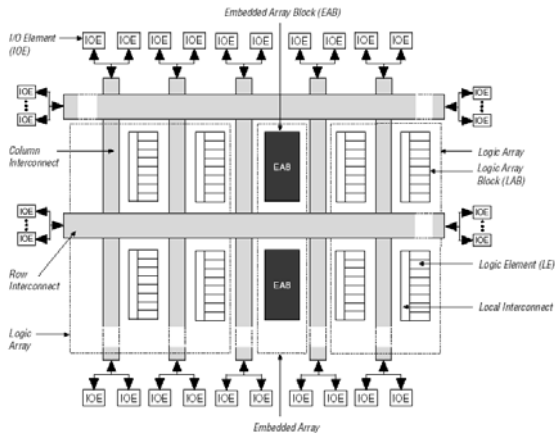
Virtex-E

Las estructuras de memoria utilizadas en los sistemas reconfigurables e presentan de dos formas:

- Usando las LUTs como RAM  
ej. Xilinx 400, Virtex
- Como bloques de memoria separados  
ej. Virtex, Altera Flex, Chameleon

# Arquitectura del hw reconfigurable

- Normalmente los bloques de RAM permiten algún tipo de programación que proporciona memorias con un número total de cables limitado, pero donde existe una correspondencia entre el nº de líneas de direcciones y datos



Además estos bloques de memoria pueden usarse como grandes LUTs, para implementar funciones de gran número de entradas

Flex10K

47

## Tema 1. Introducción al Hw reconfigurable

- **1.- Características generales del hw reconfigurable**
  - Tecnologías de configuración
  - Niveles de acoplamiento
  - Granularidad
- **2.- Arquitectura del hw reconfigurable**
  - Interconexionado
  - Bloques lógicos básicos
  - Bloques de E/S
  - Memoria
- **3.- Reconfiguración dinámica**
  - Modelos reconfigurables
  - Compilación y planificación
  - Mecanismos de aceleración de la configuración

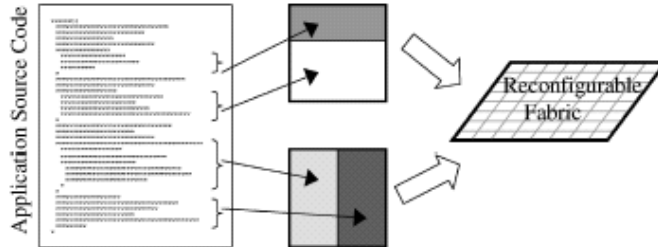
48



## Reconfiguración dinámica

Las partes de un programa que pueden acelerarse a través del uso de Hw reconfigurable pueden ser muchas o demasiado complejas para cargarlas simultáneamente en el hw disponible.

En estos casos se puede lograr mayor velocidad si se puede modificar la configuración de los recursos reconfigurables a medida que se va necesitando. Esto se conoce como reconfiguración dinámica (RTR-Run Time Reconfiguration).



49

## Reconfiguración dinámica

- La reconfiguración dinámica está basada en el concepto de hw virtual, similar al concepto de memoria virtual:
  1. El tamaño del hw físico es mucho más pequeño que la suma de los tamaños de las configuraciones.
  2. En lugar de incrementar el hw se van sacando y metiendo nuevas configuraciones a medida que se necesitan.
- Es necesario permitir la comunicación entre configuraciones:
  - 1.- registros generales
  - 2.- memoria estática
  - 3.- registros especiales

50

# Reconfiguración dinámica

La estructura de la memoria de configuración que permite la reconfiguración dinámica puede ser de 4 tipos:

1. Único contexto
2. Múltiples contextos
3. Reconfiguración parcial
4. Reconfiguración segmentada

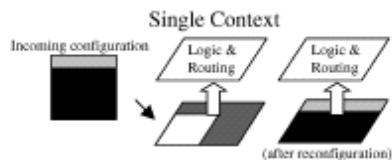
51

# Reconfiguración dinámica

## 1.- Contexto único

Existe un único plano de memoria para configuración y para reconfigurar es necesaria una configuración completa.

- Mínima área para configuración
- Tiempo de reconfiguración del orden de ms



•Ej. XC4000 Xilinx, Flex 10K Altera, Orca de Lucentis

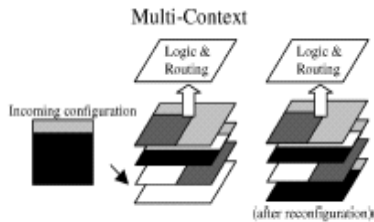
•Es fundamental un buen particionamiento de las configuraciones en contextos

52

# Reconfiguración dinámica

## 2.- Multi-contexto

- Existen varios planos de memoria para configuración y para reconfigurar es necesario cambiar el plano activo.
- Mucho área para configuración
- Tiempo de cambio de contexto del orden de ns



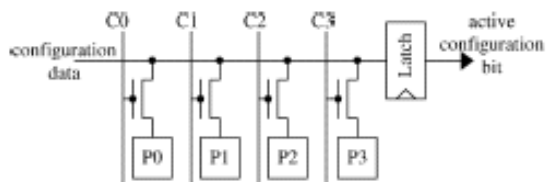
•Ej. Las DPGAs de DeHon, las FPGAs de Trimberger, Scalera y Vazquez y el sistema Chameleon

•El particionamiento entre contextos sólo es crítico si el número de contextos de un programa es mayor que el número de contextos disponible. En este caso configuraciones próximas en el tiempo deben agruparse en contextos que se carguen al mismo tiempo

53

# Reconfiguración dinámica

- En cada instante sólo un contexto está activo
- Este dispositivo multicontexto es similar a un conjunto multiplexado de dispositivos de contexto único.



•Se puede cargar un contexto mientras otro está activo.

- Ej. FPGA de 4 contextos de Trimberger
- P0-P3 son bits de programación
- C0-C3 seleccionan el contexto que se programa o que se activa

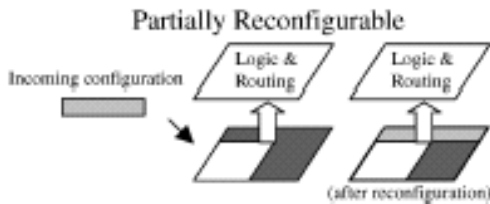
54

## Reconfiguración dinámica

### 3.- Configuración parcial

Existe un único layer para configuración y para reconfigurar sólo es necesario modificar una parte del array de configuración, dependiente del tamaño de la tarea que entra.

•Tiempo de configuración dependiente del tamaño de la tarea



•Cuando se reconfigura no se interrumpe las tareas que permanecen activas

•La memoria de configuración funciona como una verdadera RAM

55

## Reconfiguración dinámica

- La reconfiguración parcial es útil cuando las tareas o partes del programa activas en un momento dado no ocupan el dispositivo completo.
- Mientras una parte del dispositivo está ejecutando una o varias tareas, el resto puede modificarse para cargar la siguiente tarea en ejecución
- También es útil cuando sólo se requiere actualizar una parte del circuito, mientras el resto permanece intacto (ej. Modificación de ctes)
- Ej. Chimaera, PipeRench, Napa, Virtex y Xilinx 6200
- Evaluación parcial dinámica: realizar optimizaciones del hw basándose en datos obtenidos en ejecución

56

## Reconfiguración dinámica

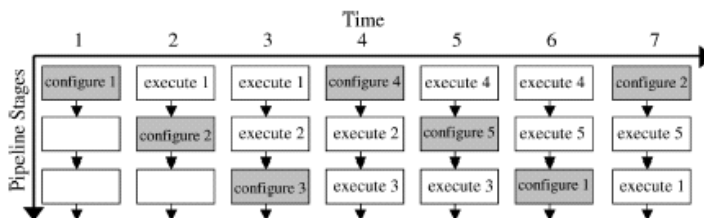
- Problema: tiempo de carga de las configuraciones. Esto se ve incrementado porque hay que añadir la dirección donde debe cargarse una tarea a los datos de configuración y en algunos casos la cantidad total de datos que enviar transmitir puede ser mayor que en el caso de un solo contexto.
- Soluciones: métodos para acelerar la carga y disminuir el tamaño de los datos a transferir

57

## Reconfiguración dinámica

### 4.- Reconfiguración segmentada

- La reconfiguración ocurre por incremento en los estados del pipe
- Cada etapa se reconfigura como un todo
- Si el n° de etapas del pipe del hw es mayor o igual que el del circuito, el circuito se mapea sobre el array
- Si es menor es necesaria la reconfiguración dinámica



FPGA segmentada de 3 etapas (Cadambi)

58

# Tema 1. Introducción al Hw reconfigurable

- 1.- Características generales del hw reconfigurable
  - Tecnologías de configuración
  - Niveles de acoplamiento
  - Granularidad
- 2.- Arquitectura del hw reconfigurable
  - Interconexionado
  - Bloques lógicos básicos
  - Bloques de E/S
  - Memoria
- 3.- Reconfiguración dinámica
  - Modelos reconfigurables
  - Compilación y planificación
  - Mecanismos de aceleración de la configuración

59

## Reconfiguración dinámica

- Compilación y planificación
- La utilización del hw reconfigurable como un recurso más del sistema, implica una modificación de los compiladores tradicionales, que estaban orientados a la ejecución de todas las tareas en software.
- Si la partición y planificación de tareas se realiza de forma manual, los compiladores deben incorporar algún método para poder especificar qué y cuando se carga una tarea
  - ej. JHDL es un compilador que proporciona la instanciación de configuraciones a través de construcciones Java

60

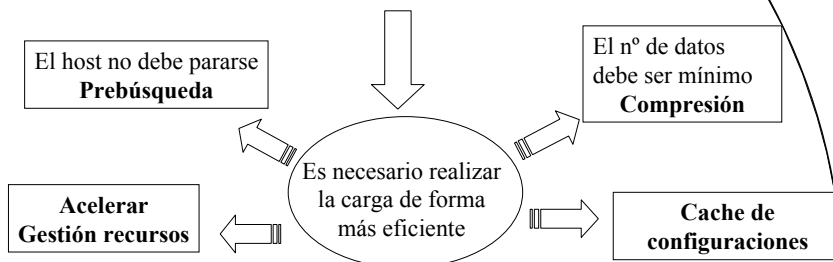
## Reconfiguración dinámica

- Si la partición y planificación de tareas se realiza de forma automática, el compilador debe incorporar las siguientes funciones:
  - Para dispositivos de uno o varios contextos, agrupar las tareas en contextos basándose en su proximidad temporal y planificar su carga
    - ej. Compilador Nimble
  - Para dispositivos parcialmente reconfigurables, decidir la posición de las tareas en el hw y planificar su entrada y salida, basándose en la utilización de los distintos recursos y en la proximidad temporal de las tareas.
- En cualquier caso, el tiempo necesario para la carga de las configuraciones se convierte en una limitación para la aceleración de la ejecución de las aplicaciones

61

## Reconfiguración dinámica

- Mecanismos de aceleración
- En reconfiguración dinámica la carga de configuraciones se realiza durante la ejecución de una aplicación.
- Datos:
  - Entre el 25% y el 95% del tiempo se utiliza para reconfigurar,



# Reconfiguración dinámica

- **Prebúsqueda de configuraciones**

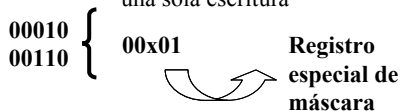
- Se trata de determinar qué configuraciones van a necesitarse en un futuro próximo e ir adelantando su carga
- De esta forma la configuración se realiza al mismo tiempo que el host sigue ejecutando la aplicación
- En ocasiones es necesario hacer predicciones (bucles, sentencias condicionales, etc.). Esto no siempre permite un 100% acierto

63

# Reconfiguración dinámica

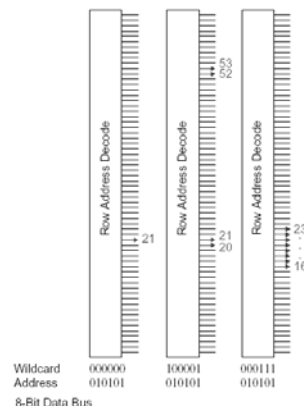
- **Compresión de configuraciones**

- Se trata de minimizar el número de datos a transferir
  - Ej. Xilinx 6200 permite programar múltiples celdas con el mismo dato en una sola escritura



Otras formas de compresión:

- Identificación de componentes comunes entre reconfiguraciones: sólo reconfigurar los cambios
- Implementar circuitos multifuncionales



64



## Reconfiguración dinámica

- Acelerar la gestión de recursos
  - En sistemas parcialmente reconfigurables es posible mover una tarea mientras el resto están ejecutándose
  - También es posible decidir la colocación final en ejecución, dependiendo de los recursos disponibles
    - Ej. Chimaera, Garp, PipeRench
  - Existe la posibilidad de que no se encuentre un hueco suficientemente grande para meter una tarea, aunque el espacio global libre sea mayor que el tamaño de la tarea.
    - Solución: defragmentar

65

## Reconfiguración dinámica

- Cache de configuraciones
  - La existencia de una memoria rápida que permita guardar configuraciones intermedias, puede acelerar enormemente la carga.
  - El ancho de banda entre dicha memoria y el array de configuración debe ser lo más grande posible.
  - En dicha memoria pueden almacenarse aquellas configuraciones que entran y salen frecuentemente
  - También puede favorecer la prebúsqueda de configuraciones

66

# Reconfiguración dinámica

- Problemas potenciales

- Existen una serie de problemas que surgen de la utilización de la reconfiguración dinámica que están actualmente en investigación:
  - La comunicación entre tareas
  - La comunicación de las tareas con el exterior (E/S)
  - El control de acceso a buses entre distintas configuraciones
  - El control de acceso a memoria para distintas reconfiguraciones
  - La seguridad en las configuraciones cargadas para no formar circuitos erróneos