

AMPLIACIÓN DE ESTRUCTURA DE COMPUTADORES
3º INGENIERÍA EN INFORMÁTICA
Facultad de Informática

20/09/2001

Teoría:

Indicar si las siguientes afirmaciones son verdaderas o falsas explicando la razón.

- 1.- En el diseño de una unidad de control microprogramada, si codificamos cuatro puntos de control con dos bits siempre el tamaño de la memoria de control es menor que si no lo hacemos, y el rendimiento sigue siendo el mismo.
- 2.- En un MIPS con segmentación, la técnica de saltos retardados tiene efectos perjudiciales sobre el rendimiento del sistema cuando el salto no se produce.
- 3.- En un multiplicador de Pezaris es mejor utilizar sumadores de tipo 1 que de tipo 2, porque conseguimos mayor velocidad al disminuir el número de entradas negadas en estos sumadores.
- 4.- En un divisor por convergencia multiplicativo, el número máximo de iteraciones que hay que realizar depende del número de bits del divisor.
- 5.- El resultado de una resta en punto flotante es: $0,111000$. Y $g=0$, $r=1$, $s=1$. Por tanto el resultado una vez redondeado, por cualquiera de los cuatro métodos es: $1,110001$.
- 6.- El estándar del IEEE nº 754, indica que el resultado de cualquier operación en Punto Flotante que siga este estándar dará el mismo resultado que si se hiciera con precisión total. Esto indica que la suma es asociativa y el orden en que se realice la suma de tres números no afecta al resultado.

Puntuación:

1:0,2

2:0,6

3:1,1

4:1,6

5:2,2

6:3

AMPLIACIÓN DE ESTRUCTURA DE COMPUTADORES
3° INGENIERÍA EN INFORMÁTICA
Facultad de Informática

20/09/2001

Problemas:

1.- Se tiene el siguiente fragmento de código del MIPS.

- a) Cuánto tardaría en ejecutarse, si cuando hay un conflicto de control se espera a que se solucione y se supone que el destino de salto se conoce en la fase ID y la comparación de salto también. Suponer que no hay anticipación de operandos.
- b) Si se tuviesen saltos retardados, ¿cómo se podría rellenar el hueco de salto para disminuir el tiempo de ejecución? ¿Cuál sería este tiempo?
- c) ¿y si además de salto retardados tuviésemos anticipación de operandos?

OR \$4, \$8, \$9

(100 instrucciones con dependencias internas de datos, pero no detención de pipeline)

ADD \$5, \$6, \$7

OR \$4, \$1, \$6

(100 instrucciones con dependencias internas de datos, pero no detención de pipeline)

LW \$10, 20(\$4)

ADD \$8, \$9, \$10

SUB \$6, \$8, \$1

OR \$1, \$3, \$5

BEQ \$1,\$2,1000

ADD \$1, \$5, \$6

El destino del salto es la instrucción OR \$4, \$1, \$6, y el salto se repite 100 veces.

2.- Construir un multiplicador de Pezaris que multiplique números de 4 bits por números de 5 bits, usando sólo sumadores de tipo 0 y 2.

Realizar sobre esa estructura la multiplicación $A*B$, siendo $A = 0110$ y $B = 10011$.

3.- Diseñar la ruta de datos de un multiplicador que use recodificación por pares de bits. Indicar claramente los puntos de control, así como cuáles son las entradas de la Unidad de control y las salidas de la misma. Mostrar mediante una tabla los valores de estas salidas para cada una de las posibles configuraciones de entrada.

Indicar paso a paso cómo se calcularía la siguiente multiplicación: $A * B$

$A = 11101010$

$B = 11011010$

(2,5 puntos)