

AMPLIACION DE ESTRUCTURA DE COMPUTADORES
3° INGENIERÍA EN INFORMÁTICA

TEORÍA:

Indicar si las siguientes afirmaciones son verdaderas o falsas explicando la razón.

- 1.- En el diseño de una unidad de control microprogramada, con un formato vertical siempre el tamaño de la memoria de control es menor que con uno horizontal.
- 2.- En un MIPS con segmentación, conseguimos mayor rendimiento de nuestro sistema si somos capaces de lograr que en las instrucciones BEQ, se conozca en la etapa ID tanto el destino de salto como si el salto se produce o no.
- 3.- En un multiplicador de Pezaris es mejor utilizar sumadores de tipo 1 que de tipo 2, porque conseguimos mayor velocidad al disminuir el número de entradas negadas en estos sumadores.
- 4.- En un divisor por convergencia multiplicativo, el número máximo de iteraciones que hay que realizar depende del número de bits del divisor.
- 5.- El resultado de una suma en punto flotante es: 1,111000. Y $g=0$, $r=1$, $s=1$. Por tanto el resultado una vez redondeado, si hay que realizar el redondeo por defecto del estándar IEEE-754, es: 1,111001.
- 6.- En un MIPS con segmentación el 80 % de los saltos condicionales no se realizan. Si tenemos la posibilidad de usar saltos retardados y el compilador coloca **siempre** en el hueco de salto una instrucción de las que se ejecutan cuando el salto no se produce, ¿podemos garantizar que el resultado es mejor que no usar saltos retardados y detener el pipeline durante un ciclo?

Puntuación:

- 1:0,2
- 2:0,6
- 3:1,1
- 4:1,6
- 5:2,2
- 6:3

AMPLIACION DE ESTRUCTURA DE COMPUTADORES
3° INGENIERÍA EN INFORMÁTICA

PROBLEMAS:

1.- El siguiente fragmento de código se ejecuta en el MIPS segmentado:

```
lw $1, $2(10)
add $3, $4, $4
sub $3, $2, $1
lw $5, $4(2)
add $3, $6, $5
or $2, $5, $8
sw $2, $9(20)
add $5, $6, $7
```

Suponiendo que un dato se puede escribir en el banco de registros y leer su nuevo valor en el mismo ciclo. Mostrar sobre el esquema de la figura el momento de ejecución de cada una de las fases de las instrucciones.

a) Si no hay anticipación de operandos.

lw	IF	ID	EX	M	WB																
Add																					
Sub																					
Lw																					
Add																					
Or																					
sw																					
add																					

b) Si hay anticipación de operandos

lw	IF	ID	EX	M	WB																
Add																					
Sub																					
Lw																					
Add																					
Or																					
sw																					
add																					

c) Determinar una posible reordenación del código para evitar conflictos si no hay anticipación de operandos.

(1,5 puntos)

2.- Indicar con el mayor detalle posible como se realizaría en un computador la suma de los siguientes números representados con un formato tipo IEEE-754, pero con sólo 15 bits dedicados a la representación de cada número, de los cuales 5 se dedican a representar el exponente:

A= 100111001100111

B= 001000010000111

Redondear por lo cuatro métodos. (1,5 puntos)

3.- Diseñar la ruta de datos de un multiplicador que use recodificación por pares de bits. Indicar claramente los puntos de control, así como cuáles son las entradas de la Unidad de control y las salidas de la misma. Mostrar mediante una tabla los valores de estas salidas para cada una de las posibles configuraciones de entrada.

Indicar paso a paso cómo se calcularía la siguiente multiplicación: $A * B$

A = 11101010

B= 11011010

(2,5 puntos)

4.- Diseñar un sumador de números de 24 bits, usando 4 módulos sumadores de 6 bits implementados internamente con propagación de arrastres, e interconectados con puenteo de arrastres.

Si la numeración de los bits de suma comienza en s_0 y termina en s_{23} , indicar, en número de niveles lógicos, el tiempo que se tarda en conocer s_{23} , s_{15} , s_7 , s_8 , s_2 . (1,5 puntos)